

103 02, 21
(2nd)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-285669

(43)Date of publication of application : 22.11.1988

(51)Int.Cl.

G06F 15/36
G06F 15/68
H03H 15/00
H03K 5/01
H04B 14/04

(21)Application number : 62-121520

(71)Applicant : FUJITSU LTD

(22)Date of filing : 19.05.1987

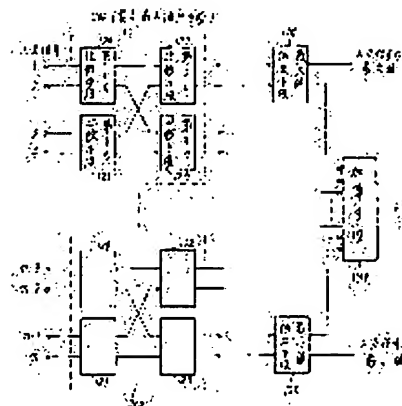
(72)Inventor : KAHARA KEIJI

(54) SIGNAL SMOOTHING CIRCUIT

(57)Abstract:

PURPOSE: To eliminate the noise contained in data by excluding both the maximum and minimum values of the input data and adding other remaining data together to obtain the average value.

CONSTITUTION: 1st comparison means 120 and 121 compare the values of two input signals with each other. Then the larger output values of those input signals are compared with each other by a 2nd comparison means 122. In the same way, a 3rd comparison means compares the smaller output values of both means 120 and 121 with each other. Then the maximum/minimum value extracting means 200 consisting of combinations of said 1stW3rd comparison means are provided in the number corresponding to the number of input data. The larger and smaller values of the outputs are compared with each other between two means 200 respectively. These comparing jobs are repeated and the larger one of two inputs is finally eliminated as the maximum value of the input signal by a maximum value extracting means 124. While a minimum value extracting means 125 eliminate the smaller one of two inputs as the minimum value of the input signal. Then other remaining output values are added together by an adding means 130. Thus the noise eliminating effect is secured.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-285669

⑤ Int.Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和63年(1988)11月22日
G 06 F 15/36		A-7056-5B	
15/68	3 5 0	8419-5B	
H 03 H 15/00		6903-5J	
H 03 K 5/01		G-7631-5J	
H 04 B 14/04		Z-8732-5K	審査請求 未請求 発明の数 1 (全 6 頁)

⑭ 発明の名称 信号平滑化回路

⑯ 特 願 昭62-121520

⑰ 出 願 昭62(1987)5月19日

⑱ 発 明 者 花 原 啓 至 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

信号平滑化回路

2. 特許請求の範囲

n 個の入力信号から順次 2 つの入力信号の値の
 大小を比較する 2 つの第 1 の比較手段(120、121)
 と、

該 2 つの第 1 の比較手段(120、121)のそれぞれ
 の出力の大きい値どうしを比較する第 2 の比較手
 段(122) と、

該 2 つの第 1 の比較手段(120、121)のそれぞれ
 の出力の小さい値どうしを比較する第 3 の比較手
 段(123) とで構成される n/4 個の最大・最小抽出
 手段(200) と、

該最大・最小抽出手段(200) に接続され、該 n
 個の入力信号の最大値を求める最大値抽出手段
 (124) と、

該最大・最小抽出手段(200) に接続され、該 n

個の入力信号の最小値を求める最小値抽出手段
 (125) と、

該 n 個の入力信号からその値の最大値と最小値
 を除く残りの信号について加算する加算手段(130
) とで構成した事の特徴とする信号平滑化回路。

3. 発明の詳細な説明

〔概要〕

音声や画像等のデジタル化したデータに含ま
 れる雑音を除去するための平滑化する回路として、
 2 つの入力の大小を比較する 2 個の比較回路と、
 次段に設けたこれらの出力の大きい値どうし、及
 び小さい値どうしを比較する比較回路とから成る
 最大・最小抽出回路と、この最大・最小抽出回路
 の出力の最大値と最小値を求める最大値抽出回路、
 及び最小値抽出回路を設けることにより、入力デ
 ータの最大値と最小値を除外し、残りのデータに
 ついて加算し平均値を求める事により、簡略化し
 た回路によりデータに含まれる雑音を除去するよ
 うにしたものである。

(産業上の利用分野)

本発明は、音声や画像等のデジタル化したデータを平滑化する信号平滑化回路の改良に関するものである。

音声や画像等のデータには雑音が含まれる事がしばしばあり、この雑音を除去するために信号平滑化回路が使用されるが、これは出来るだけ簡略化した回路で行えることが望ましい。

(従来技術)

第4図は第一の従来例の信号平滑化回路の構成ブロック図である。

第5図は第二の従来例の方法を説明する図である。

第6図は一例の画素に対応する画像データの配列図である。

従来、音声や画像等の多値レベルの時系列信号をデジタル的に平滑化し、信号に含まれる雑音を除去するために各種の方法がある。

まず第4図において、第一の従来例について説

明する。

記憶装置1には、第6図に示すようにデジタル化した画像データが例えばテレビ画面のように横方向、及び縦方向にそれぞれ512画素に対応するデータが2次的に配列して蓄積されているとする。この記憶装置1に蓄積した画像データを、例えば8ビットの並列のデータとして8本の伝送線を介して、ラインバッファメモリ2、及び8個並列に配置したD-フリップフロップ(以下D-FFと称する)3-11~3-18に入力する。この時ラインバッファメモリ2は8ビットに対応するアドレスを512個有する。

これらデータはクロック発生器(図示しない)からのクロックにより、ラインバッファメモリ2においては次のアドレスに順次転送され、又、D-FF3-11~3-18に保持されたデータは次段のD-FF3-21~3-28に転送されると共に、掛算器4-1に入力される。掛算器4-1では適当に重みづけをされて出力される(今の場合1倍)。

次のクロックによっても同様にラインバッファ

メモリ2では次のアドレスに転送され、一方D-FF3-21~3-28では次段のD-FF3-31~3-38に転送されると共に、掛算器4-2に入力される。この掛算器4-2でも例えば2倍の重みづけをされて出力される。このようにしてクロックによって、順次8ビットのデータが記憶装置1からラインバッファメモリ2及びD-FFに入力されてくる。

今、第6図に示す例えば第249行、第200列目の画素に対応するデータ①から、第250行、第199列目の画素に対応するデータ④までの1行分のデータをすべて、記憶装置1からラインバッファメモリ2に入力した時、次のクロックによりラインバッファメモリ2からラインバッファメモリ5に順次1画素に対応するデータ(今の場合①)が入力されていく。

ラインバッファメモリ5も8ビットに対応するアドレスを512個有し、ここに入力されるデータ①は分岐されてD-FF6-11~6-18にも入力される。同時にラインバッファメモリ2及びD-FF3-11~3-18には、第250行、第200列目のデータ⑤が入力

される。

更に次のクロックにより、ラインバッファメモリ2の1画素に対応するデータ②がラインバッファメモリ5に入力されると共に、D-FF6-11~6-18にも入力される。同時にD-FF6-11~6-18に一時保持したデータ①はD-FF6-21~6-28に転送されると共に、掛算器7-1に入力され例えば2倍の重みづけをされる。この時、ラインバッファメモリ2、及びD-FF3-11~3-18にもデータ②が入力される。そしてD-FF3-11~3-18に一時保持したデータ③は、D-FF3-21~3-28に転送されると共に、掛算器4-1に入力され例えば1倍の重みづけをされる。

以下順次クロックにより、ラインバッファメモリ2からラインバッファメモリ5にデータが入力され、第6図に示す1行分の画素に対応するデータを入力した時、次のクロックによりラインバッファメモリ5の出力部に最も近いアドレスのデータ(例えば④)から順次出力される。そしてこのデータはD-FF8-11~8-18に入力される。D-FF8-11~8-18に一時保持されたデータ④は、次のクロ

クによりD-FF8-21~8-28に転送されると共に、例えば1倍の重みづけをした掛算器9-1に入力される。

そして例えば掛算器9-1~9-3にそれぞれ第6図に示すデータ⑦、⑧、⑨が入力される時、掛算器7-1~7-3にはデータ⑩、⑪、⑫が入力され、掛算器4-1~4-3にはデータ⑬、⑭、⑮が入力される。

これら掛算器4-1~4-3、~、9-1~9-3で得られる結果が加算器10に加えられ加算される。そしてこの加算した値を割算器11に加えて、その平均値を求める。今の場合、加算器10の結果を9で割る。これを例えば注目している画素に対応するデータ⑤~⑬のうち、中央に位置する画素に対応するデータ(第6図に示す⑨)の値とする。

次に第二の従来例について説明する。

値の異なる一定個数の複数のデータからその中央の値を有するデータを抽出するために、これらの複数のデータをその値の大小の順に並べるソーティング回路が使用され、これにより複数のデー

クの大小順位を求め、その中央の値のものを抽出している。

即ち、第5図に示すように、連続する一定の大きさ(図示の例では5)のウィンドウWを使用しその中央値を出力していた。第5図(a)において、画素P1、P2、---は第一の従来例のD-FFの出力に相当する。この画素P1と、そのP1より濃度値の大きい画素P2から成る画像を大きさ5のウィンドウWで走査する。そしてウィンドウWの中に収まる画素の中に、第5図(a)のように画素P1の他に雑音Nが含まれていたとしても、濃度値が小さい順に並べた場合のウィンドウWの中間位置に該当する●印を付した画素P1を中央値として出力する。

したがって、第5図(a)から第5図(b)に引かれた破線矢印で示すように、雑音Nは除去される。

(発明が解決しようとする問題点)

しかしながら上述の信号平滑化回路においては、第一の従来例の場合、入力信号にランダムな雑音が含まれていると出力信号が雑音に影響されて、

1 好な平滑化特性が得られず、又ステップ状の信号の場合信号のエッジがなまるという問題点があった。

又、第二の従来例の場合、データの並べ換えを必要とするため回路規模が大きくなるという問題点があった。

(問題点を解決するための手段)

上記問題点は第1図に示すように、 n 個の入力信号から順次2つの入力信号の値の大小を比較する2つの第1の比較手段120、121と、2つの第1の比較手段120、121のそれぞれの出力の大きい値どうしを比較する第2の比較手段122と、2つの第1の比較手段120、121のそれぞれの出力の小さい値どうしを比較する第3の比較手段123とで構成される $n/4$ 個の最大・最小抽出手段200と、最大・最小抽出手段200に接続され、 n 個の入力信号の最大値を求める最大値抽出手段124と、最大・最小抽出手段200に接続され、 n 個の入力信号の最小値を求める最小値抽出手段125と、 n

個の入力信号からその値の最大値と最小値を除く残りの信号について加算する加算手段130とで構成した本発明の信号平滑化回路によって解決される。

(作用)

第1図において、第1の比較手段120及び121でそれぞれ2つの入力信号の値の大小を比較する。そしてそれら出力の大きい方の値どうしを第2の比較手段122で比較する。

同様に第1の比較手段120及び121の出力の小さい方の値どうしを第3の比較手段123で比較する。

これら第1、第2及び第3の比較手段の組み合わせから成る最大・最小抽出手段200を入力データの数に応じて設ける。

そして2個の最大・最小抽出手段の出力の大きい値どうし及び小さい値どうしを比較し、これを繰返し、最終的に最大値抽出手段124で2つの入力のうち大きい値を入力信号の最大値として除

去する。

最小値抽出手段125でも2つの入力のうち、小さい値を入力信号の最小値として除去する。そして残りの出力の値を加算手段130に加え加算する。

(実施例)

第2図は本発明の実施例の信号平滑化回路の構成を示すブロック図である。

第3図は実施例で使用される比較器の回路構成ブロック図である。

全図を通じて同一符号は同一対象物を示す。

第2図において、従来例と異なる点は第4図に示す第一の従来例の掛算器を第2図に示す比較器(以下COMPと称する)の組み合わせで置き換えたことにある。ここでは従来例に使用したD-FFが全部で8個の場合について説明する。

即ち、第一の従来例に示すように、記憶装置1から8ビットの画像データがラインバッファメモリ2、5、及びD-FFを介して、第2図に示す比較器12-1~12-4に2個ずつ入力される。そして各2

いは使用せず大きい方の値を加算器13に入力する。更に、COMP12-5と12-7の小さい方の値、及びCOMP12-6と12-8の大きい方の値も加算器13に入力する。

この結果、8個の入力データのうち最大値と最小値の2個を除く6個のデータを加算器13に入力して加算することになる。この加算した結果を正規化回路14で、今の場合6で割って平均値を求めて正規化する事により、散発状に発生するインパルス状の雑音加わるシステムに適用した場合、極端に大きい又は小さいデータを除去するために、極めて大きな雑音除去の効果が得られる。

(発明の効果)

以上説明のように本発明によれば、簡単な回路構成により信号にインパルス状の雑音が含まれるシステムに適用した場合、極めて大きな雑音除去の効果が得られる。

個の入力の大小を比較判別する。このCOMPは第3図で示すように構成される。

今、COMPの2つの入力を例えばu及びvとし、 $u > v$ の時比較器15から制御信号"1"が選択器16に加えられ、一方選択器17にはインバータ18を介して"0"が加えられる。この結果、選択器16からはuを、17からはvを出力する。

このような動作原理を有するCOMP12-1とCOMP12-2の出力の大きい方どうしを、次段に設けたCOMP12-5に入力し、又出力の小さい方どうしをCOMP12-6に入力し、それぞれ大小を比較判別する。COMP12-3、COMP12-4についても同様に、COMP12-7、12-8で出力の大きい方どうし、及び小さい方どうしを比較判別する。

次に、COMP12-5及び12-7の出力の大きい方の値を、更に次段に設けたCOMP12-9に入力し、その大小を比較判別し、大きい方は使用せず、小さい方の値を加算器13に入力する。COMP12-6及び12-8の出力の小さい方の値についても、次段に設けたCOMP12-10に入力し、その大小を比較判別し、小

4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明の実施例の信号平滑化回路の構成を示すブロック図、

第3図は実施例で使用される比較器(COMP)の回路構成ブロック図、

第4図は第一の従来例の信号平滑化回路の構成ブロック図、

第5図は第二の従来例の方法を説明する図、

第6図は一例の画素に対応する画像データの配列図である。

図において

120、121は第1の比較手段、

122は第2の比較手段、123は第3の比較手段、

124は最大値抽出手段、125は最小値抽出手段、

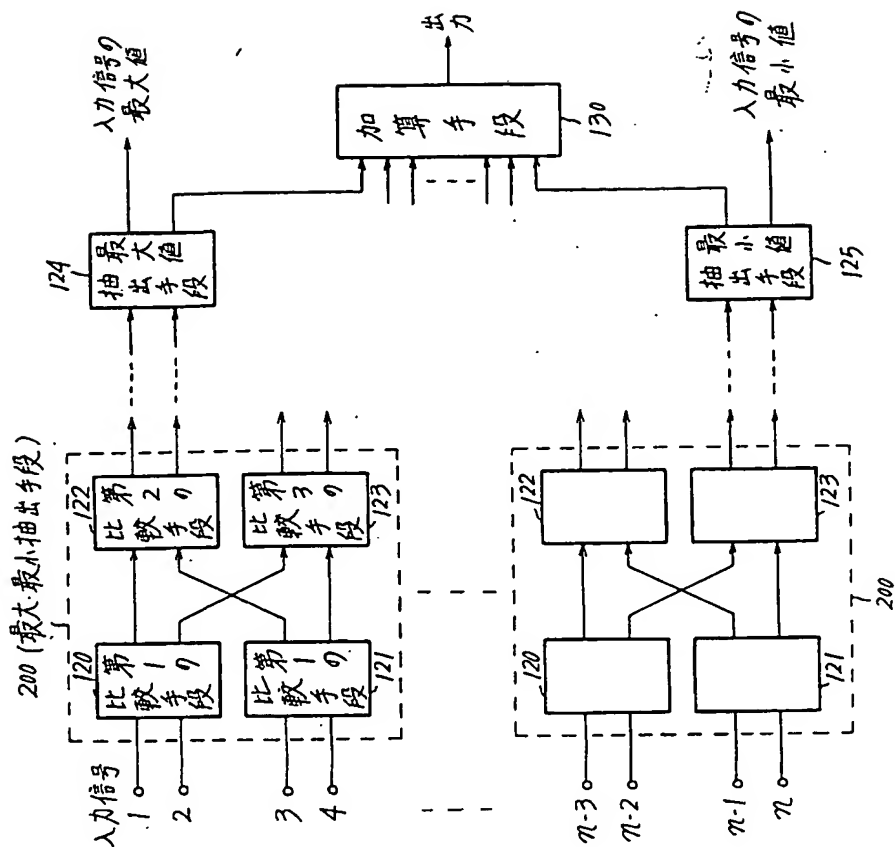
130は加算手段、

200は最大・最小抽出手段

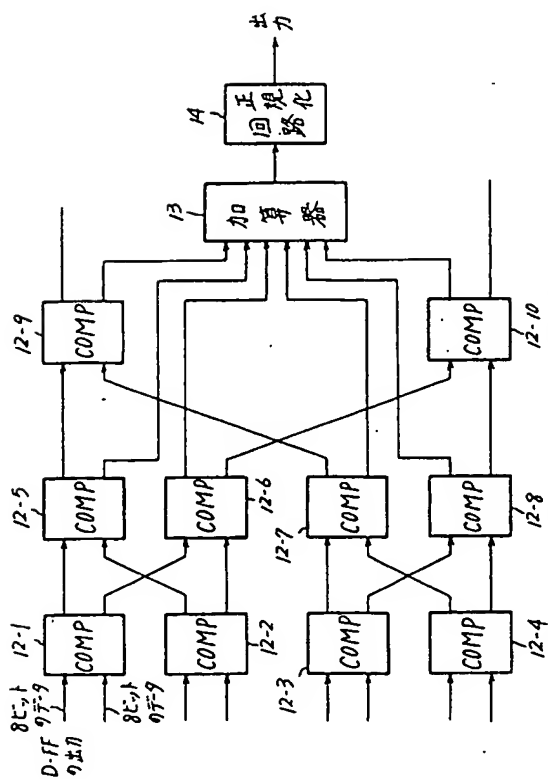
を示す。

代理人 弁理士 井桁貞一

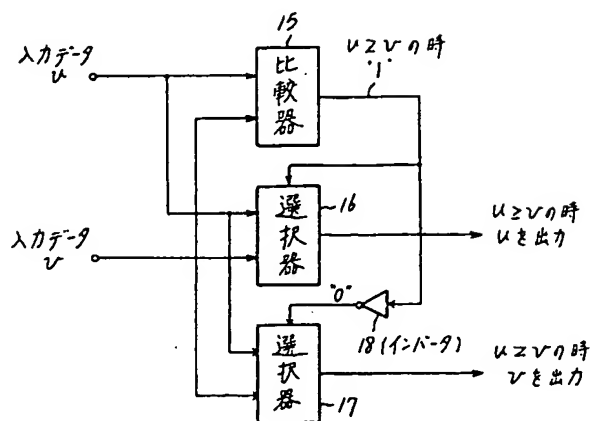




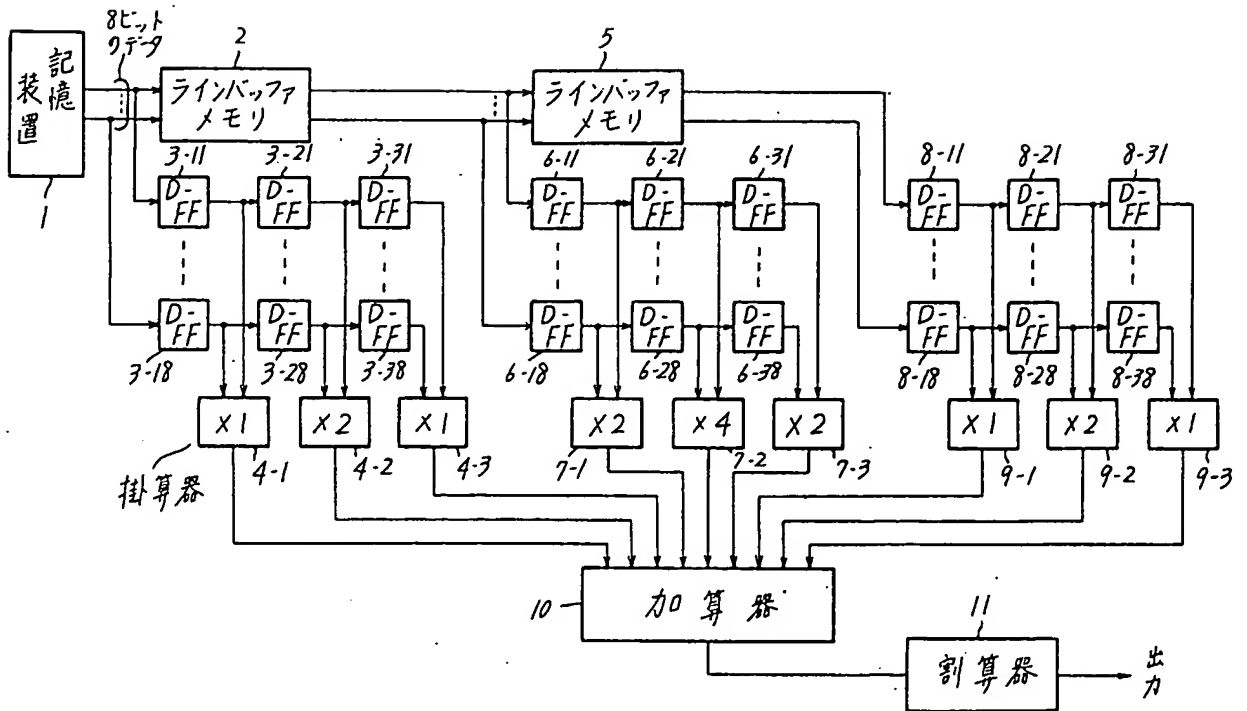
本発明の原理図
第1図



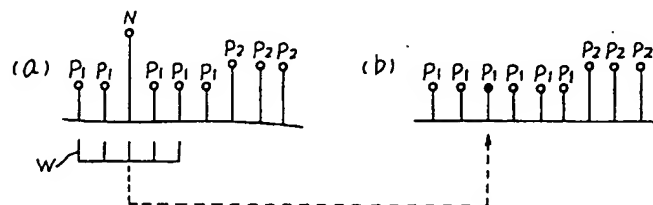
本発明の実施例の信号平滑化回路の構成を示すブロック図
第2図



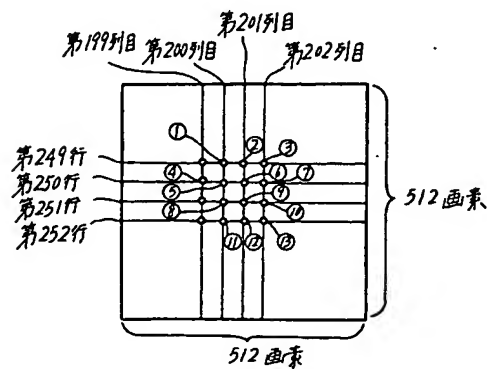
実施例で使用される比較器(COMP)の
回路構成ブロック図
第3図



第一の従来例の信号平滑化回路の構成ブロック図
第4図



第二の従来例の方法を説明する図
第5図



一例の画素に対応する画像データの配列図
第6図